

概要

Tutorial

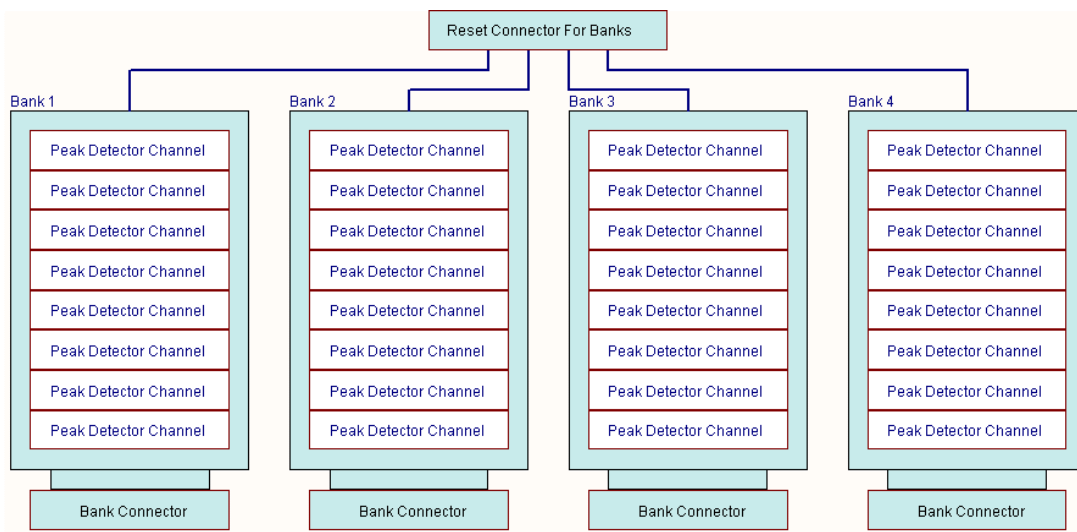
TU0112 (v1.0) December 9, 2003

このチュートリアルでは、回路図エディタでシートシンボルと **Repeat** キーワードを使用してマルチチャンネルデザインを作成する方法を説明します。また、ルームとデジグネータの形式についても併せて紹介します。

マルチチャンネルデザインとは同じチャンネルを繰り返し使用しているものを指します。チャンネルは独立した回路図のサブシートとして一度だけ作成すればよく、そしてプロジェクトに含まれている必要があります。繰り返し使用するチャンネル分、同じシートシンボルを複数配置するか、シートシンボルの **Designator** に **Repeat** キーワードを指定するだけで簡単に作成が可能です。

デジグネータマネージャーは、プロジェクトファイルの一部として格納され、チャンネル接続のテーブルを作成し管理します。マルチチャンネルプロジェクトでは、デジグネータの変更をプロジェクトファイルに伝えるバックアノテーションなど、デザインプロセスの全体がサポートされています。

このチュートリアルでは、`\Altium2004\Examples\Reference Designs` フォルダにあるサンプルファイル `Peak Detector - Multi channel.PrjPcb` を使ってマルチチャンネルデザインを紹介します。



このデザインは、親シートとバンクシート、チャンネルシートの 3 段階の階層から構成されています。親シート (`Peak Detector.SchDoc`) には、4 つのバンク用に一つのシートシンボルが使用されています。(Bank.SchDoc を 4 回参照) バンク回路には、各バンクでシートシンボルが 8 チャンネル

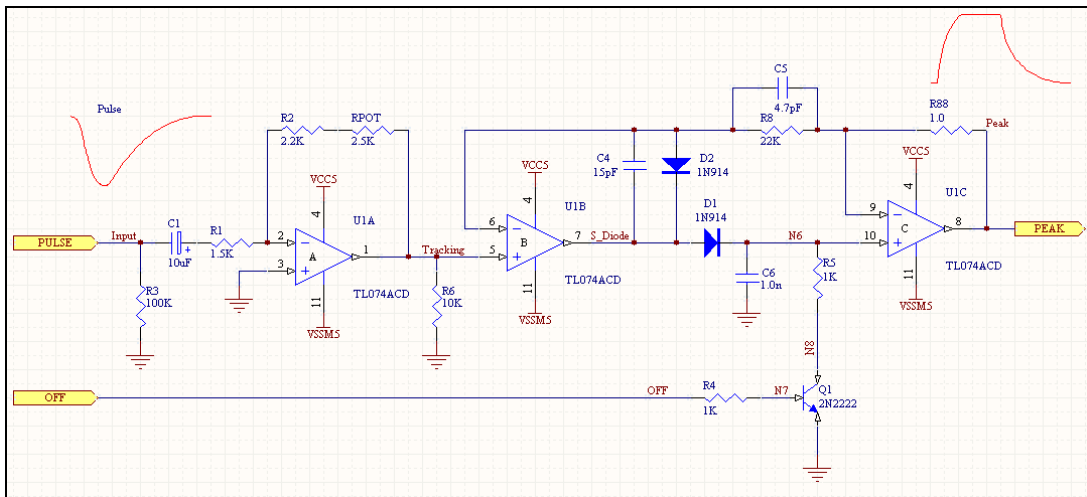
マルチチャンネルデザインの作成

分として使用され、トータルで 32 チャンネルの構成になっています。これらのチャンネルは個々に独立して作成されているのではなく、一つの回路図を **Repeat** コマンドを使って Peak Detector - Channel.SchDoc を各チャンネルで参照しています。ルーム名とコンポーネントのデジグネータの形式は、この階層デザインの影響を受けます。

マルチチャンネルデザインの作成

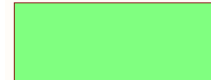
このデザインを作成するには PCB プロジェクトファイルを作成し、このプロジェクトで使用する 3 つの回路図ファイル Peak Detector.SchDoc (トップシート、あるいは親シート)、Bank.SchDoc (バンクレベル)、Peak Detector-channel.SchDoc (チャンネルレベル) をプロジェクトに追加します。

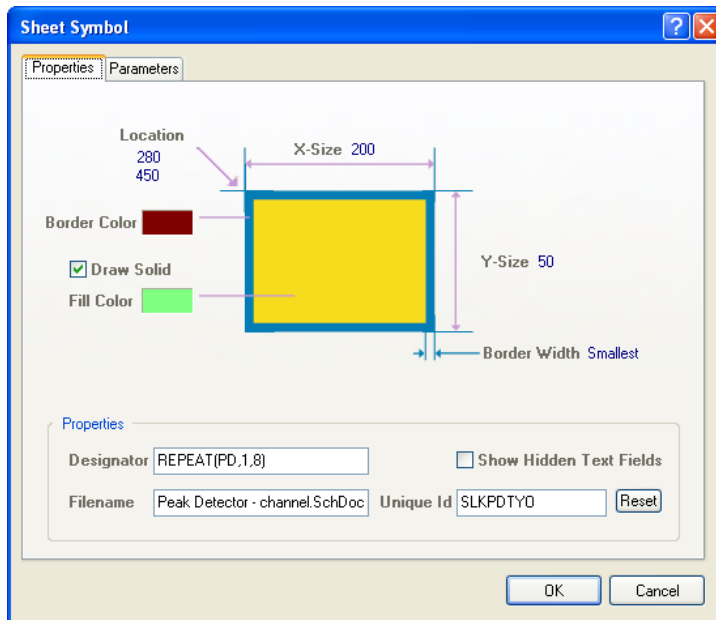
1. 下図に示すようにチャンネルとして使用する回路 (Peak Detector-Channel.SchDoc) を独立した回路図として作成し、この新しい回路図を PCB プロジェクトファイルに加えます。



2. 次にバンクレベルの回路図 (Bank.SchDoc) を作成します。チャンネルとして参照する回路図 Peak Detector-channel.SchDoc のシートシンボルを配置します。
3. **Place » Sheet Symbol** を選択し、シートシンボルを配置します。新たにシートシンボルをダブルクリックし、**Sheet Symbol** ダイアログの **Properties** タブを表示します。

Designator
File Name





シートシンボルのデジグネータ名は、各チャンネルの各コンポーネント区別するために使用されます。上記の例において、シートシンボルのデジグネータ名は PD です。使用できる名前に制限はありませんが、デジグネータを短くするため、シートシンボルに短い名前を付けることをお勧めします。これは、プロジェクトがコンパイルされる時シートシンボル名、及びチャンネル番号がデジグネータに追加されるからです、例えば、R1 は R1_PD 1 になります。

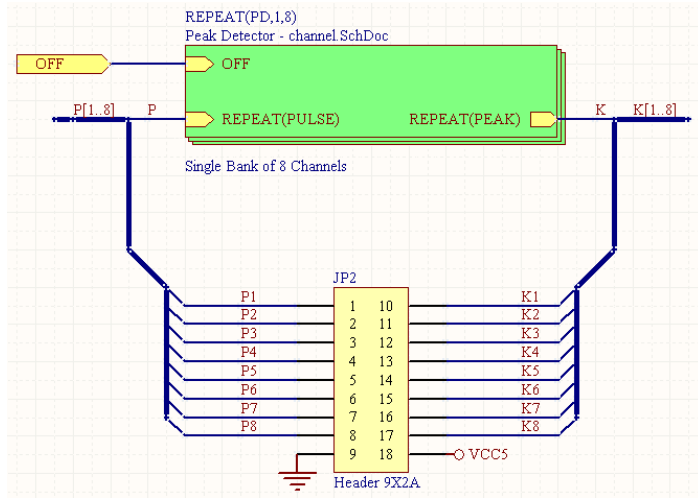
4. **Filename** フィールドに、使用したいチャンネル回路図の名前を入力します。例えば、Peak Detector-channel.SchDoc.
5. **Designator** 欄に Repeat コマンドを入力し、必要なチャンネル回路図の参照回数を指定します。フォーマットは次のとおりです：

```
Repeat(sheet_symbol_name,first_channel,last_channel)
```

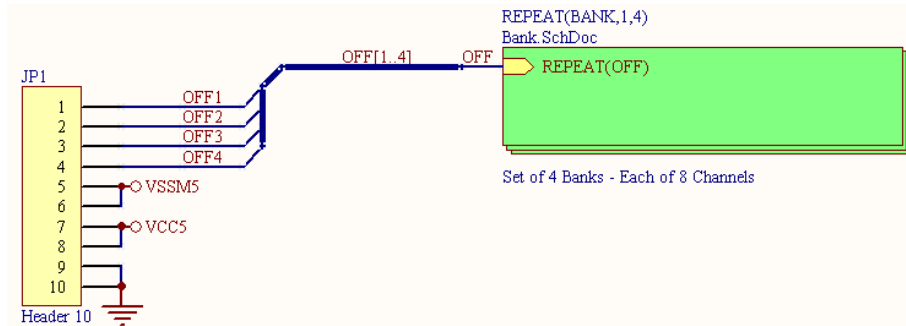
この例では、コマンド Repeat (PD, 1, 8) を **Designator** フィールドに入力し、Peak Detector 回路図を名前 PD として (1,8) で 8 回参照します。

6. **OK** ボタンをクリックし、**Sheet Symbol** ダイアログを閉じます。シートシンボルがマルチチャンネルを示す状態に変わります。

マルチチャンネルデザインの作成



7. 全てのサブシートで共通なネットは、通常と同じ方法で接続します。繰り返しの各サブシートで別に接続するネットは、バスとして供給し、そのバスの一つの要素を各サブシートで接続します。
 上の例では、（Pのようにバス幅を含まずに）バス名がワイヤ上に配置され、Repeat キーワードを含んだシートエントリに接続されています。デザインをコンパイルするとこのバスは（P1からP8の）独立したネットへ展開され、各チャンネルシートへ接続されます。P1は、サブシートPD_1、P2はサブシートPD_2へ接続され、他のチャンネルも同様に接続されます。
8. 親シート Peak Detector.SchDoc を作成し、**Place » Sheet Symbol** コマンドを使用して、下位レベルのシートシンボル Bank.SchDoc を作成します。



上記の例では、シートシンボルの Designator 名は BANK です。従って、シートシンボル BANK の Sheet Symbol ダイアログの Designator フィールドに、コマンド Repeat (BANK, 1, 4) と入力することで、(1,4)で Bank 回路図が 4 回参照されます。

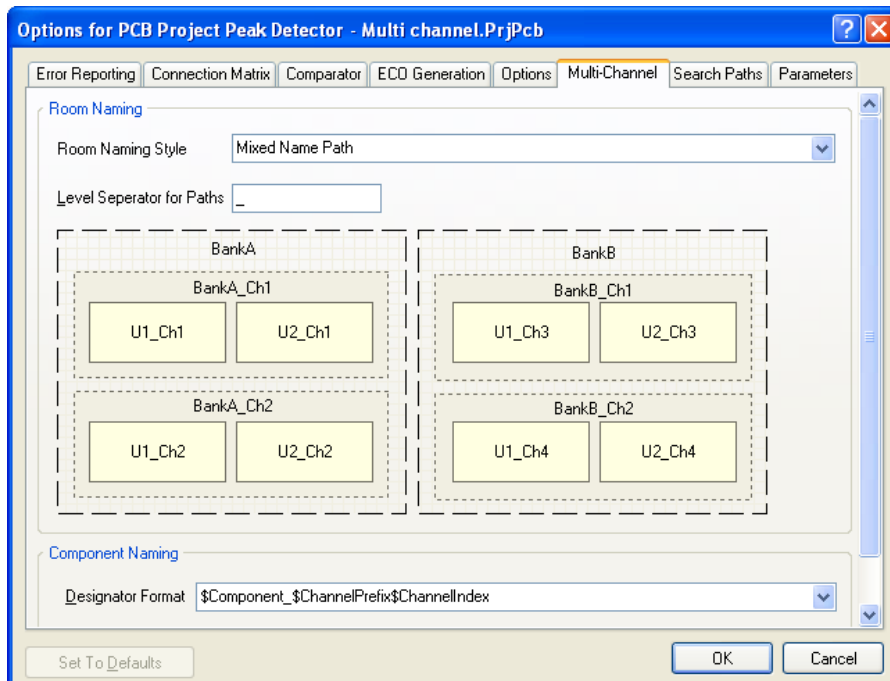
上のサンプルでワイヤ上のネットラベルには要素番号が無く、シートシンボル内には Repeat キーワードが含まれている点に注意してください。デザインがコンパイルされると、各ネット（OFF1からOFF4）は各チャンネルの各ネットに割り当てられます。

ルームとデジグネータの形式設定

回路図を作成したら、回路図上の 1 つの論理的なコンポーネントから PCB で実際に複数割り当てられる複数のデジグネータとルーム名の形式が設定できます。

論理的なデジグネータとは、元の回路図コンポーネントに割り当てられているものです。物理的なデジグネータとは、PCB デザイン上に配置されているコンポーネントに割り当てられているものです。マルチチャンネルデザインを作成した場合、繰り返し使用されるチャンネルのコンポーネントの論理的なデジグネータは同じになりますが、PCB デザインでの物理的なデジグネータは、各コンポーネントで別の値になります。

1. メニューから **Project » Project Options** を実行します。 *Options for Project* ダイアログの **Multi-Channel** タブをクリックし、ルームとコンポーネントのデジグネータ形式を設定します。



ルーム名の設定

1. **Room Naming Style** のドロップダウンリストをクリックし、デザイン内のルーム名の形式を適切なものから選択します。これらのルームは、プロジェクトの回路図から PCB へ更新を行う際、デフォルトで作成されます。フラットが 2 種類、階層が 3 種類の合計 5 種類のスタイルが用意されています。

フラットルーム名の形式

Flat Numeric with Names

Flat Alpha with Names

階層ルーム名の形式

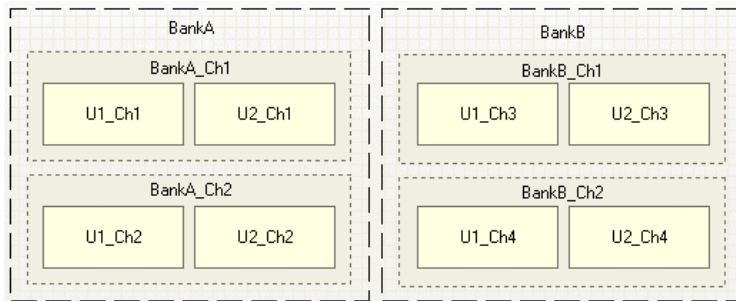
Numeric Name Path

Alpha Name Path

Mixed Name Path

階層ルーム名は関連するチャンネルパス階層のすべてのシートシンボルのデジグネータ (ChannelPrefix + ChannelIndex) をつなぐことで実成されます。

- リストからスタイルを選択すると、Multi-Channel タブでは、(下図のように) 表記がすぐに更新されます。イメージは、2x2 チャンネルのデザインになります。グリッドが表示されている大きなエリアは 2 つの上位チャンネル (バンク) を表し (サンプルでは、2 つのコンポーネントが示されています)。デザインがコンパイルされると、各バンクと下位レベルのチャンネルを含む、デザインの各シートに対応するルームが実成されます。イメージで示されている 2x2 チャンネルのデザインでは、2 つのバンク用と下位レベルの 4 つのチャンネル用の合計 6 個のルームが実成されません。



サンプルの Peak Detector では、トップレベルのシート用 (1)、4 つのバンク用 (4)、各バンクの 8 チャンネルのシート用 (32) に合計 37 のルームが実成されます。

- 階層名を使う際には、Level Separator for Paths の欄で、パス情報を分けるのに使用する文字を指定することができます。

レベルセパレータとして使用できる文字に制限はありませんが、判別しやすくするには英数字以外の文字を使用してください

コンポーネント名の設定

コンポーネントの名称を設定するデジグネータ形式がいくつか用意されています。フォーマットから選択するか、キーワードを使って独自の形式を定義できます。

- コンポーネントのデジグネータフォーマットを設定するには、Designator Format のドロップダウンリストから適切なものを選択します。定義済みのフォーマットがフラットで 5 種類、階層で 3 種類の合計 8 種類用意されています。

フラットデジグネータの形式

\$Component\$ChannelAlpha
 \$Component_ \$ChannelPrefix\$ChannelAlpha
 \$Component_ \$ChannelIndex
 \$Component_ \$ChannelPrefix\$ChannelIndex
 \$ComponentPrefix_ \$ChannelIndex_ \$ComponentIndex

階層デジグネータの形式

\$Component_ \$RoomName
 \$RoomName_ \$Component
 \$ComponentPrefix_ \$RoomName_ \$ComponentIndex

フラットデジグネータの形式では、各コンポーネントのデジグネータを初めのチャンネルから連続的に設定していきます。

階層形式では、コンポーネントのデジグネータに **Room Name** が含まれます。ルーム名のスタイルで2つのフラット形式のどちらかを選択した場合は、コンポーネントデジグネータのスタイルもフラットになります。但し、ルーム名で階層形式を選択した場合は、パス情報が含まれるためコンポーネントのデジグネータも階層形式になります。

独自のデジグネータフォーマットの定義

コンポーネントのデジグネータフォーマットは、**Designator Format** 欄に直接入力することで独自の形式を定義することもできます。フォーマットを定義するのに次のキーワードが使用できます。

Room Naming Style が、コンポーネントの名称に関係するのは、デジグネータフォーマットに文字列 **\$RoomName** が含まれている場合だけです。

キーワード	定義
\$RoomName	Room Naming Style 欄で選択された形式によって決まるルームの名称
\$Component	コンポーネントのロジカルデジグネータ
\$ComponentPrefix	コンポーネントのロジカルデジグネータ (例: U1 であれば U)
\$ComponentIndex	コンポーネントのロジカルデジグネータインデックス (例: U1 であれば 1)
\$ChannelPrefix	ロジカルシートシンボルデジグネータ
\$ChannelIndex	チャンネルインデックス
\$ChannelAlpha	チャンネルインデックスをアルファベットで表記。この形式は、チャンネルの合計が 26 チャンネル以下の場合、あるいは階層デジグネータ形式を使用している場合に便利です。

プロジェクトのコンパイル

ルームやコンポーネントデジグネータの形式を変更した場合は、プロジェクトのコンパイルを行う必要があります。

1. プロジェクトをコンパイルするには、**Project » Compile PCB Project** を実行します。マルチチャンネルデザインのコンパイルを行った後、回路図エディタでは、一枚のシートが表示されているだけですが、デザインウィンドウ内の回路図シートの下には、チャンネル (バンク) に対応したタブ

マルチチャンネルデザインの実成

が表示されます。タブの名称はシートシンボル名にチャンネル番号が追加されたものになります。

例：BANKA

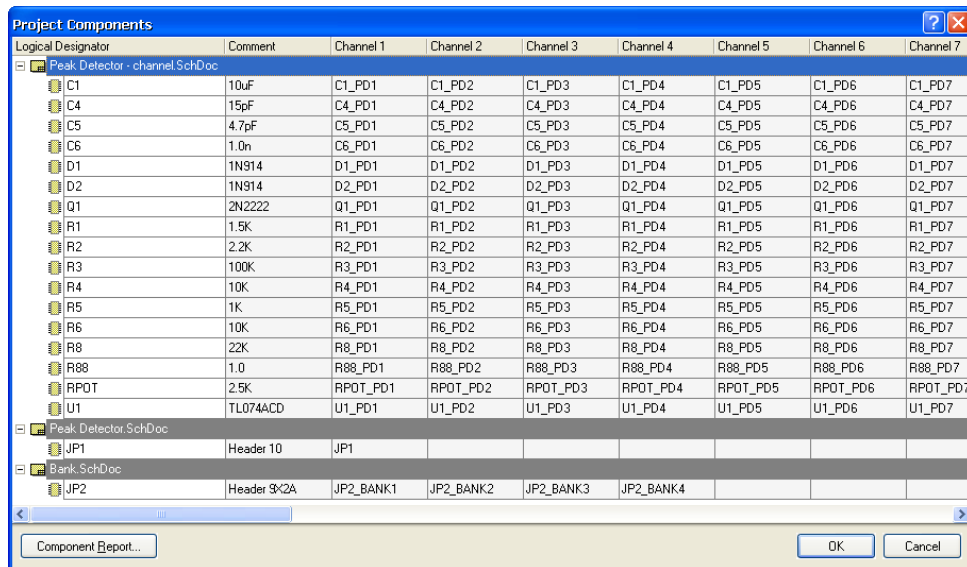
2. デザインがコンパイルされれば、通常の方法 (**Design » Update PCB**) で PCB エディタに情報を転送することができます。転送のプロセスで各回路図シートに対応したコンポーネントクラス、コンポーネントクラスに対応したルームが自動的に作成され、そのルームの各クラスにコンポーネントがグループ化され、配置可能な状態になります。
3. PCB エディタで 1 チャンネル分の配置、配線を行った後、その情報を他のチャンネルにコピーするには、**Design » Rooms » Copy Room Formats** を実行します。

チャンネルデジグネータの割当て表示

マルチチャンネルのデジグネータを確認するため、プロジェクトに使用されている全回路図ドキュメントに使用されているコンポーネントの論理的なデジグネータと物理的なデジグネータが表示させることができます。

マルチチャンネルデザインのコンポーネントのデジグネータを確認するには：

1. **Project » View Channels** を実行すると **Project Components** ダイアログが表示され、回路図ドキュメントの各コンポーネントの論理的及び物理的なデジグネータが表示されます。



表には、プロジェクトの回路図名とチャンネル数が表示されます。上に示す例では、ルーム名とコンポーネント名の表記が使われています：

Mixed Name Path と \$Component_ \$ChannelPrefix\$ChannelIndex

各チャンネルのデジグネータは、デジグネータとチャンネル番号の引数を組み合わせた形で、例えば、Peak Detector - channel.SchDoc のデジグネータ C1 は、チャンネル 1 では C1_PD1、チャンネル 32 では C1_PD32 で PCB へ更新されます。

チャンネルの回路図は常に 1 枚だけで、各チャンネルに対応したデジグネータの割当てがテーブル (**Project » View Channels** で表示) に保存されています。

2. 論理的なデジグネータをダブルクリックすると、元の回路図のコンポーネントへジャンプします。コンポーネントはデザインウィンドウの中心に拡大表示されます。ダイアログは開いたままで、他のコンポーネントへジャンプすることができます。
3. **Component Report** ボタンをクリックすると **Report Preview** ダイアログがオープンし、プロジェクトのコンポーネントレポートのプリントプレビューが表示されます。レポートをプリントするには、**Print** ボタンをクリックします。**Print** ダイアログが表示されます。**OK** ボタンをクリックすると、レポートがプリンターへ転送されます。
4. **Report Preview** ダイアログから **Export** を選択すると、プロジェクトのコンポーネントレポートがスプレッドシート (.xls) や.pdf 形式で、ファイルとして保存することができます。ファイルを保存すると、**Open Report** ボタンをクリックすることで (Microsoft Excel や Adobe Reader などの) 適切なアプリケーションでそのファイルをオープンすることができます。
5. **Close to** ボタンをクリックし、プリントプレビューモードを閉じます。**OK** ボタンをクリックし、**Project Components** ダイアログを閉じます。

更新履歴

Date	Version No.	Revision
9-Dec-2003	1.0	New product release

Software, documentation and related materials:

Copyright © 2003 Altium Limited.

Copyright © 2005 Altium Japan.

All rights reserved. Unauthorized duplication, in whole or part, of this document by any means, mechanical or electronic, including translation into another language, except for brief excerpts in published reviews, is prohibited without the express written permission of Altium Limited. Unauthorized duplication of this work may also be prohibited by local statute. Violators may be subject to both criminal and civil penalties, including fines and/or imprisonment. Altium, DXP, Design Explorer, nVisage, Nexar, Protel, P-CAD, Tasking, CAMtastic, Situs and Topological Autorouting and their respective logos are trademarks or registered trademarks of Altium Limited. All other registered or unregistered trademarks referenced herein are the property of their respective owners and no trademark rights to the same are claimed.